

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

RECEIVED
CENTRAL FAX CENTER
JUN 08 2005

PUBLICATION NUMBER : 02260734
PUBLICATION DATE : 23-10-90

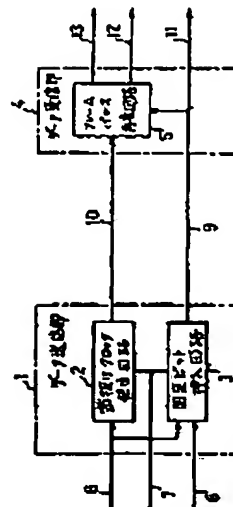
APPLICATION DATE : 30-03-89
APPLICATION NUMBER : 01079685

APPLICANT : NEC CORP;

INVENTOR : FUJIMORI NARIHIKO;

INT.CL. : H04L 7/08 H04J 3/06

TITLE : SERIAL DATA TRANSMISSION
SYSTEM



ABSTRACT : **PURPOSE:** To omit wiring for frame pulse between transmission lines by reproducing a frame pulse from a toothless clock signal and serial data synchronized with the clock signal and to which a fixed bit is inserted at a reception side.

CONSTITUTION: The serial data transmission system is comprised in such a way that significant (x) (x: natural number) serial data bits whose change points are synchronized with the rise of a clock, the serial data setting (x+2) bits consisting of two fixed bits in which (1, 0) or (0, 1) following the (x) serial data bits continuous as one frame, and a toothless clock, part of which is toothless, are transmitted from a data transmission side 1, and the frame pulse can be reproduced from the serial data and the toothless clock at the reception side 4. In such a way, it is not required to transmit the frame pulse, and the wiring for frame pulse in the transmission line can be omitted.

COPYRIGHT: (C)1990,JPO&Japio

JUN 08 2005

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-260734

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月23日

H 04 L 7/08
H 04 J 3/06Z 8914-SK
A 8914-SK

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 シリアルデータ伝送方式

⑯ 特 願 平1-78685

⑰ 出 願 平1(1989)3月30日

⑱ 発 明 者 藤 塚 也 浜 晃 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

シリアルデータ伝送方式

2. 特許請求の範囲

データ送信側から、変化点がクロックの立上りと同期した有意な ε 個(ε :自然数)のシリアルデータビットと、この ε 個のシリアルデータビットに続く「1,0」または「0,1」の連続した2個の固定ビットからなる $\varepsilon+2$ ビットを1フレームとするシリアルデータと、1フレーム中に1回、前記シリアルデータの $\varepsilon+2$ 番目の固定ビット位置に相当するパルスの「1」が「0」になっているクロックを送信し、受信側において、前記シリアルデータと前記1フレーム中に1回、シリアルデータの $\varepsilon+2$ 番目の固定ビット位置に相当するパルスの「1」が「0」になっているクロックからフレームパルスを再生することを特徴とするシリアルデータ伝送方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は伝送速度に係り、特にシリアルデータ伝送方式に関するものである。

〔従来の技術〕

従来、この種のシリアルデータ伝送方式は、送信側装置からクロック信号、シリアルデータおよびデータフレームの同期をとるためのフレームパルスが受信側装置へ送信され、受信側ではクロック信号、シリアルデータおよびフレームパルスからシリアルデータの同期分岐多重を行う方法となっていた。

〔発明が解決しようとする課題〕

上述した従来のシリアルデータ伝送方式では、フレーム同期をとるためのフレームパルスをクロック信号、シリアルデータとは別線で送る方法をとっているため、チャネル数が多いと線間干渉、伝送内の配線が複雑になるという課題があった。

〔課題を解決するための手段〕

本発明のシリアルデータ伝送方式は、データ送信側から、変化点がクロックの立上りと同期した有意な ε 個(ε :自然数)のシリアルデータビッ

特開平2-260734(2)

トと、この x 個のシリアルデータビットに続く「1,0」または「0,1」の連続した2個の固定ビットからなる $x+2$ ビットを1フレームとするシリアルデータと、1フレーム中に1回、上記シリアルデータの $x+2$ 番目の固定ビット位置に相当するパルス「1」が「0」になつてゐるクロックを送信し、受信側において、上記シリアルデータと上記1フレーム中に1回、シリアルデータの $x+2$ 番目の固定ビット位置に相当するパルス「1」が「0」になつてゐるクロックからフレームパルスを再生するものである。

【作用】

本発明においては、装置間または装置内のシリアルデータ伝送において、1フレーム中に1回、シリアルデータの $x+2$ 番目の固定ビット位置に相当するパルスの「1」か「0」になつてゐるクロック信号と、それに同期した固定ビットを挿入されたシリアルデータから、受信側でフレームパルスを再生する。

【実施例】

シリアルデータビットと、この x 個のシリアルデータビットに続く「1,0」または「0,1」の連続した2個の固定ビットからなる $x+2$ ビットを1フレームとするシリアルデータと、パルスの一部が抜けた歯抜けクロックを送信し、受信側において、上記シリアルデータと上記歯抜けクロックからフレームパルスを再生するように構成されている。

このように、本発明のシリアルデータ伝送方式は、送信装置より、パルスの一部が抜けた歯抜けクロック信号と、この歯抜けクロック信号の歯抜け部分に対するデータが固定されたビットとなつてゐるシリアルデータを伝送し、受信装置において、歯抜けクロック信号と固定ビットを含むシリアルデータよりフレームパルスを再生するフレームパルス再生回路を有している。

第2図は第1図の動作説明に供するタイムチャートで、(a)は送信部入力クロック6を示したものであり、(b)は送信部入力フレームパルス7、(c)は送信部入力データ8、(d)は伝送路クロック9、(e)

以下、図面に基づき本発明の実施例を詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。

図において、1はデータ送信部で、1フレーム中に1回、シリアルデータの $x+2$ 番目(x :自然数)の固定ビット位置に相当するパルスの「1」が「0」になつてゐるクロック(以下、歯抜けクロックと呼称する)発生回路2と固定ビット挿入回路3を内蔵している。4はデータ受信部で、パルスの一部が抜けた歯抜けクロック信号と固定ビットを含むシリアルデータよりフレームパルスを再生するフレームパルス再生回路5を内蔵している。

6は送信部入力クロックを示し、7は送信部入力フレームパルス、8は送信部入力データ、9は伝送路クロック、10は伝送路データ、11は受信部出力クロック、12は再生フレームパルス、13は受信部出力データを示す。

そして、データ送信部から、変化点がクロックの立上りと同期した有意な x 個(x :自然数)の

は伝送路データ10、(f)は受信部出力クロック11、(g)は再生フレームパルス12、(h)は受信部出力データ13を示したものである。そして、(b)にかける(c)および(d)にかける(e)はそれぞれ固定ビットを示す。

つぎにこの第1図に示す実施例の動作を第2図を参照して説明する。

まず、データ送信部1へ入力される送信部入力クロック6(第2図(a)参照)、送信部入力データ8(第2図(c)参照)は、歯抜けクロック発生回路2、固定ビット挿入回路3によつて送信部入力フレームパルス7(第2図(b)参照)にタイミングを合わせてフォーマットを交換され、伝送路クロック9(第2図(d)参照)、伝送路データ10(第2図(e)参照)の形でデータ受信部4へ伝送される。そして、伝送路データ10は、シリアルデータフレームの先頭ビットと最終ビットとの間に2ビット分「0」、「1」の固定ビット(第2図(f)における(g)参照)を挿入され、伝送路クロック9は、伝送路データ10の「1」固定ビット位置に対応するク

特開平2-260734(3)

コンパルスがインヒビットされる。

つぎに、データ受信部4では、フレームパルス再生回路5により伝送路クロック9と伝送路データ10から再生フレームパルス12(第2図(c)参照)、受信部出力データ13(第2図(d)参照)を作り、受信部出力クロック11(第2図(e)参照)、再生フレームパルス12、受信部出力データ13がデータ受信部4から出力される。

第3図は第1図におけるフレームパルス再生回路5の構成例を示すブロック図である。

この第3図において第1図と同一符号のものは相当部分を示し、14はインバータ、15、17、18はフリップフロップ、19は伝送路データ10とフリップフロップ15の出力を入力とする排他的論理和回路(EX ORゲート)である。そして、19は反転クロックを示し、20はリタイミングデータ、21は不一致パルスを示す。

第4図は第3図の動作説明に供するタイムチャートで、(a)は伝送路クロック9を示したものであり、(b)は伝送路データ10、(c)は反転クロック19、

(d)はリタイミングデータ20、(e)は不一致パルス21、(f)は再生フレームパルス12、(g)は受信部出力データ13を示したものである。

そして、第4図(c)における不一致パルス21内の新要素は不定を表わす。

つぎに第3図に示すフレームパルス再生回路の動作を第4図を参照して説明する。

この、第3図に示す回路に入力された伝送路データ10(第4図(b)参照)は、インバータ14によつて反転した反転クロック19(第4図(c)参照)で、フリップフロップ15においてリタイミングされ、この結果リタイミングデータ20(第4図(d)参照)と伝送路データ10の不一致をEX ORゲート18で検出する。

そして、このEX ORゲート18出力の不一致パルス21(第4図(e)参照)を、伝送路クロック9(第4図(a)参照)でフリップフロップ17において再度リタイミングすることにより、再生フレームパルス12(第4図(f)参照)を再生し、リタイミングデータ20は、フリップフロップ18に

おいて再度リタイミングを行い、受信部出力データ13(第4図(g)参照)として出力される。

このようにして、パルスの一部が抜けたり遅れたりクロック信号と、クロック信号に同期した固定ビットを挿入されたデータからフレームパルスを再生することにより、フレームパルスを伝送する必要を無くすることができる。

【発明の効果】

以上説明したように本発明は、装置間または装置内のシリアルデータ伝送において、送抜けクロック信号と、それに同期した固定ビットを挿入されたシリアルデータから、受信側でフレームパルスを再生することにより、伝送路間のフレームパルス用配線を省略でき、配線本数を低減することが得る効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は第1図の動作説明に供するタイムチャート、第3図は第1図におけるフレームパルス再生回路の構成例を示すブロック図、第4図は第3図

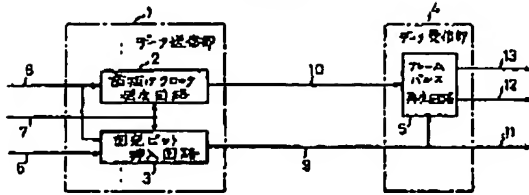
の動作説明に供するタイムチャートである。

1・・・データ送信部、2・・・送抜けクロック発生回路、3・・・固定ビット挿入回路、4・・・データ受信部、5・・・フレームパルス再生回路、6・・・送信部入力クロック、7・・・送信部入力フレームパルス、8・・・送信部入力データ、9・・・伝送路クロック、10・・・伝送路データ、11・・・受信部出力クロック、12・・・再生フレームパルス、13・・・受信部出力データ。

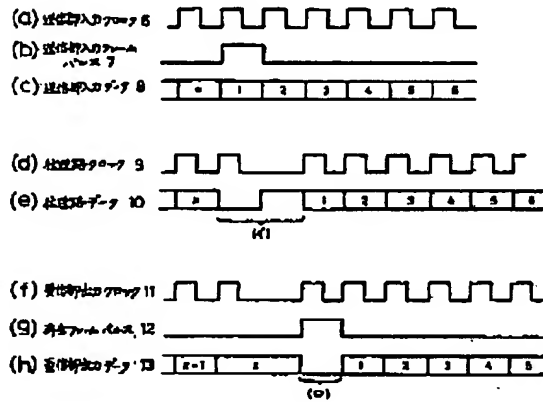
発明者 日本電気株式会社
代理人 山川 政 樹

特開平2-260734(4)

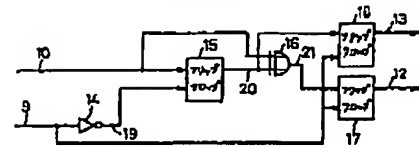
第1図



第2図



第3図



第4図

